

First Hit

L16: Entry 16 of 42

File: JPAB

Jun 21, 1996

PUB-NO: JP408163178A
DOCUMENT-IDENTIFIER: JP 08163178 A
TITLE: DIGITAL DATA RECEIVER

PUBN-DATE: June 21, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

NAGAGAWA, YUKIMITSU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

KAWASAKI STEEL CORP

APPL-NO: JP06296078

APPL-DATE: November 30, 1994

INT-CL (IPC): H04 L 13/08; H04 L 29/14

ABSTRACT:

PURPOSE: To reduce the storage capacity of a FIFO used as a reception buffer.

CONSTITUTION: Digital data RXD received sequentially from a transmission line is stored transiently in a reception data FIFO 12 used as the reception buffer via a serial parallel conversion part 16. When an error occurs in the digital data RXD, the write of erroneous data on the reception data FIFO 12 means little. Only the information of occurrence of the error is written on a reception status FIFO 14, and the detail information of a generated error instead of the digital data RXD is written on the reception data FIFO 12. Therefore, the storage capacity of the reception status FIFO 14 can be curtailed.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-163178

(43)公開日 平成8年(1996)6月21日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 13/08 29/14		9371-5K		
		9371-5K	H 0 4 L 13/ 00	3 1 3

審査請求 未請求 請求項の数3 O L (全 12 頁)

(21)出願番号 特願平6-296078
(22)出願日 平成6年(1994)11月30日

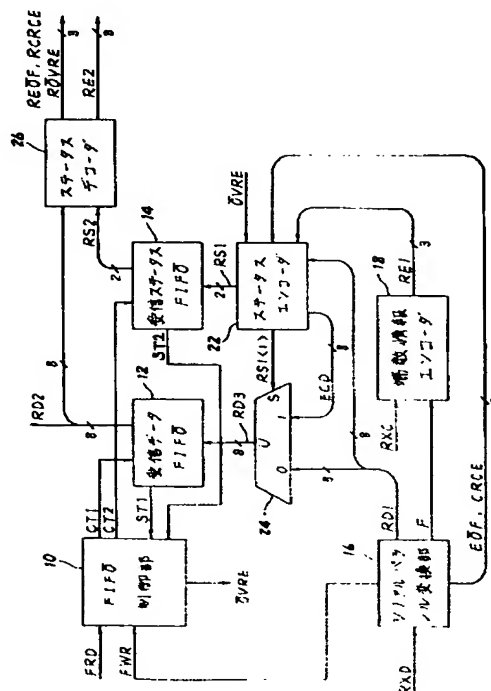
(71)出願人 000001258
川崎製鉄株式会社
兵庫県神戸市中央区北本町通1丁目1番28号
(72)発明者 永川 行光
東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 デジタルデータ受信装置

(57)【要約】

【目的】 受信バッファとして用いるF I F Oの記憶容量を削減する。

【構成】 伝送路から順次受信されるデジタルデータR X Dは、シリアルパラレル変換部16を経て、受信バッファとして用いる受信データF I F O12へ一時的に記憶される。前記デジタルデータR X Dへエラーが発生した場合、前記受信データF I F O12へこのエラーデータを書き込んでも意味がない。受信ステータスF I F O14へはエラー発生有りの情報のみ書き、前記受信データF I F O12には、前記デジタルデータR X Dに代えて、発生したエラーの詳細な情報を書く。従って、前記受信ステータスF I F O14の記憶容量を削減することができる。



1

2

【特許請求の範囲】

【請求項1】伝送路から順次受信される複数のデジタルデータを、まず受信データFIFOへ一時的に記憶すると共に、受信されたそれぞれの前記デジタルデータ毎に、発生したエラー等に関する情報を表わす補助情報データを、該当する前記デジタルデータに対応させながら受信ステータスFIFOへ一時的に記憶するようにしたデジタルデータ受信装置において、

エラー発生等によって、受信された前記デジタルデータが無効データとなってしまった時に、該エラー発生の有無を示す前記補助情報データを生成する補助情報データ生成手段と、

前記無効データに代えて前記受信データFIFOへ記憶させるため、発生したエラーに関する詳細情報を生成する詳細情報データ生成手段とを備えたことを特徴とするデジタルデータ受信装置。

【請求項2】請求項1において、更に、

前記補助情報データに対して、発生し得る複数のエラーの種類間での、発生の有無の相互の排他性に着目し、生成する前記補助情報データのデータ圧縮を行う補助情報データ圧縮手段と、

前記受信ステータスFIFOから読み出す、データ圧縮されている前記補助情報データのデータ伸長を、前記詳細情報を用いて行う補助情報復元手段とを備えたことを特徴とするデジタルデータ受信装置。

【請求項3】請求項1又は2において、

前記伝送路から順次受信される複数の前記デジタルデータが、HDLC手順に基づいて、ビットストリーム状態で受信されるものであって、

前記受信データFIFOが、一連の複数の、それぞれがビット幅Lのワードメモリにより構成され、

更に、前記伝送路から順次受信される前記デジタルデータを前記受信データFIFOへ一時的に記憶させる際、ビットストリーム状態の前記デジタルデータを、前記ビット幅Lの長さで順次分割しながら前記受信データFIFOへ書き込むデータ変換手段を備えると共に、

該データ変換手段での分割及び前記受信データFIFOへの書き込みの際に、ビットストリーム状態で受信された前記デジタルデータの終端部での、前記ビット幅Lに満たない端数データを前記受信データFIFOへ書き込む端数データ発生時には、該端数データ発生有りを示す前記補助情報データを生成する端数情報生成手段を、前記補助情報データ生成手段に有し、

前記端数データ発生時に、前記詳細情報として、前記端数データのビット数Nを示す情報を生成する端数ビット数情報生成手段を、前記詳細情報データ生成手段に有していることを特徴とするデジタルデータ受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は伝送路から順次受信され

る複数のデジタルデータを、まず受信データFIFOへ一時的に記憶すると共に、受信されたそれぞれの前記デジタルデータ毎に、発生したエラー等に関する情報を表わす補助情報データを、該当する前記デジタルデータに対応させながら受信ステータスFIFOへ一時的に記憶するようにしたデジタルデータ受信装置に係り、特に、受信バッファとし用いるFIFO (first-in first-out) に必要な記憶容量を削減し、これによりコスト削減等を図ることができるデジタルデータ受信装置に関する。

【0002】

【従来の技術】電話型公衆通信回線等の電話網や特定通信回線等、音声による相互通話を目的として構築された電話網は、これをデータ通信に利用する際には、伝送品質や伝送速度の点で制約がある。このため、データトラフィック特性等、データ通信特有の特性により適合したデジタルデータ公衆網が、我国を含め世界各国で進められている。このデジタルデータ公衆網は、デジタル信号用の伝送路及び交換機を用いたものであり、我国では、回線交換網やパケット交換網によるサービスが提供されている。又、国際接続についても、CCITT (international telegraph and telephone consultative committee) によって国際標準化が進められ、現在、回線交換方式、パケット交換方式、デジタル専用線など新データ網関係の勧告(Xシリーズ勧告)としてほぼ整備されている。

【0003】一方、データベース等の情報(データ)や周辺機器の共有等を目的として、近年LAN (local area network) と称するネットワークが広く用いられるようになってきている。このLANは、限定された所定の構内、例えばオフィスや工場や研究所や大学等の限定された範囲内で、分散設置されたコンピュータや通信端末機器等のデジタル機器を接続するというものであり、ある種の交換機能を有している。このようなLANにおいても、IEEE (institute of electrical electronics engineers) 802委員会や、ISO (国際標準化機構) 等において、プロトコル等の標準化が行われている。

【0004】前記デジタルデータ公衆網で適用されているOSI (open systems interconnection) 参照モデルや、IEEEで標準化された前記LANのプロトコルのレイヤ構成は、複数のレイヤに階層分け可能なプロトコルを用いたものとなっている。又、WAN (wide area network) や他のLAN等で多く用いられるプロトコルは、標準化されたものであり、通常複数のレイヤに階層分け可能なものである。

【0005】前記OSI参照モデルのレイヤは、第1層のフィジカルレイヤと、第2層のデータリンクレイヤと、第3層のネットワークレイヤと、第4層のトランスポートレイヤと、第5層のセッションレイヤと、第6層

10

20

30

40

50

のプレゼンテーションレイヤと、第7層のアプリケーションレイヤとで構成されている。又、IEEEで規定される前記プロトコルのレイヤ構成は、第1層がフィジカルレイヤであり、第2層が媒体アクセス制御サブレイヤとロジカルリンク制御サブレイヤであり、第3層はネットワークレイヤとなっている。

【0006】ここで、前述の第2層のデータリンクレイヤに用いられるプロトコル、即ちデータリンクプロトコルには、例えば、BASIC手順やHDLC (high level data link control) 手順と称するプロトコル等がある。

【0007】例えば前記BASIC手順は、公衆回線網のプロトコルの下位レベルに用いられるものであり、テレタイプ端末による通信がその研究となっている。このBASIC手順は、例えば米国IBM社のBSC手順にも相当する。又、前記HDLC手順は、公衆回線網等に広く用いられるプロトコルの下位レベルで広く用いられるものである。該HDLC手順では、前述のBASIC手順から発展したものであり、特にデータ通信リンクの確率及び解除、又転送されるデータの誤り制御を規定す

る。

【0008】図8は、HDLC手順のフォーマットを示す線図である。

【0009】この図8に示される如く、HDLC手順の規定に従った1つの電文のフォーマットは、フラグA1と、アドレスA2と、コントロールA3と、転送データA4と、CRCA5及びA6と、フラグA7とにより構成される。

【0010】まず、先頭の前記フラグA1と尾端の前記フラグA7とによって、1つの電文の認識がなされる。例えば、該フラグA1は、8ビットの一定ビット列、即ち“01111110”のビット列である。前記アドレスA2は該電文の転送先を示す。又、前記コントロールA3は、該電文の種々の設定あるいは制御に用いられる。これらアドレスA2及びコントロールA3は、いずれも、8ビットのビット列である。

【0011】これらフラグA1、アドレスA2及びコントロールA3の後に伝送される前記転送データA4は、当該電文にて実際に伝送すべきデジタルデータである。該転送データA4は、HDLC手順においては、多数のビットデータが順次連続して伝送されるものであり、ビットストリーム状態である。例えば、バイト単位、あるいは16ビットや32ビット等のワード単位でデジタルデータを転送する場合でも、HDLC手順では、このようなバイト単位の区別やワード単位の区別を行うことなく、ビットストリーム状態で順次デジタルデータを伝送する。

【0012】該転送データA4の後、前記CRCA5及びA6が伝送される。これらCRCA5及びA6は、フレームチェックシーケンスとも呼ばれる。又、これらに

RCA5及びA6は、いずれも8ビットのビット列であり、合計16ビットのビット列となる。これらCRCA5及びA6によって、伝送されるデジタルデータの、HDLC手順に従った各電文単位での誤り制御を行う。

【0013】図9は、従来のデジタルデータ受信装置の構成を示すブロック図である。

【0014】この図9においては、従来からの、受信バッファとしてFIFOを用いたデジタルデータ受信装置の一例が示される。この図9のデジタルデータ受信装置は、伝送路から順次受信される複数のデジタルデータRXDを、まず受信データFIFO12に一時的に記憶すると共に、受信されたそれぞれの前記デジタルデータ毎に、発生したエラー等に関する情報を表わす補助情報データを、該当するデジタルデータRDに対応させながら受信ステータスFIFO14へ一時的に記憶する。

【0015】このようなデジタルデータ受信装置は、これに限るものではないが、例えば前述したHDLC手順に従って伝送されるデジタルデータの受信にも用いることができる。

【0016】又、この従来例のデジタルデータ受信装置にあつては、例えばHDLC手順に従った電文を取扱う際、前記図8に示されるようなフォーマットの電文が受信されると、前記受信データFIFO12にアクセスする1単位のビット幅の単位、即ち8ビット単位に、図10に示されるようなデータへと変換する。

【0017】即ち、前記フラグA1と前記フラグA7とで挟まれる間の部分の、受信された1電文中のビットストリームを、8ビットの長さで順次分割していく。前記アドレスA2、前記コントロールA3、前記CRCA5及びA6については、HDLC手順のフォーマットでいずれも8ビットであるため、それぞれ1バイトとして扱われ、図10の符号B2、B3、B7、及び、B8に示される如く扱われる。又、前記転送データA4についても、HDLC手順でビットストリーム状態であったものを8ビットの長さで順次分割し、例えば図10の符号B4～B6に示されるように取扱われる。

【0018】なお、前記図8に示す前記フラグA1及びA7については、伝送されるデータの同期をとるためのものである。従って、受信後には、これらフラグA1及びA7は、前記受信データFIFO12へは取り込まれない。最終的にこれらフラグA1及びA2、又これに対応する前記図10中のフラグB1及びB9のデータは捨てられる。

【0019】ここで、このような8ビット長での分割の際、ビットストリームの終端部に相当する転送データB6については、8ビットの長さに満たない場合もある。HDLC手順の電文を受信する際の、該転送データB6のような所定ビット幅Lに満たないデータを、以降、端数データと称する。

【0020】まず、この図9に示される如く、従来の前

記デジタルデータ受信装置は、FIFO制御部10と、前記受信データFIFO12と、前記受信ステータスFIFO14と、シリアルパラレル変換部16と、端数情報エンコーダ18とにより構成される。

【0021】前記受信データFIFO12は、前述のように伝送路から順次受信される前記デジタルデータRXDを一時的に記憶する、受信バッファとして用いられる。該受信データFIFO12は、例えばビット幅が8ビット単位でアクセスされる。又、該受信データFIFO12は、例えば合計1024バイトのRAMが用いられる。

【0022】一方、前記受信ステータスFIFO14は、前述のように、伝送路から順次受信される前記デジタルデータRXD毎に、発生したエラー等に関する情報を表わす、図11に示されるような6ビット単位の補助情報データを記憶する。該受信ステータスFIFO14は、6ビット単位でアクセスされるものであり、(6ビット×1024ワード)のRAM(random access memory)となっている。

【0023】この図11に示される如く、該受信ステータスFIFO14は、REビットB0〜B2と、CRC EビットB3と、OVREビットB4と、EOFビットB5とにより構成される。

【0024】ここで、この図11において、まず、REビットB0〜B2は、これら3ビットにて、“1”〜“8”の数値を示す。該数値によって8ビット幅にて分割した終端部となる前記端数データ、例えば前記10の前記転送データB6の、実際に有効なビット長を示す。

【0025】前記CRCEビットB3は、HDLC手順に従って伝送され、受信された電文に対して、CRC(cyclic redundancy check)エラーの有無を示す。このCRCチェックは、前記図8の前記CRA5及びA6に従って行われる。

【0026】前記OVREビットB4は、このデジタルデータ受信装置にて伝送路から前記デジタルデータRXDを順次受信する際、前記受信データFIFO12及び前記受信ステータスFIFO14に一時的に記憶されたデータについて、読み出されていないにも拘らず、別のデータが上書きされてしまった場合に発生するオーバーランエラーの有無を示す。このようなオーバーランエラーは、伝送路から前記デジタルデータRXDが順次受信されるのに応じ、前記受信データFIFO12及び前記受信ステータスFIFO14へ順次データが書き込まれるものの、この書き込みに比べ、これら受信データFIFO12及び受信ステータスFIFO14からのデータの読み出しが遅れてしまう場合に生じてしまう。

【0027】前記EOFビットB5は、これに対応する前記受信データFIFO12へ書き込まれるデータが、前記図8に示されるHDLC手順にて転送されるデータの最終データであるか否かを示す。例えば、前記受信デ

ータFIFO12の対応するデータが、図10の前記転送データB6の如く、最終データであるか否かを示す。

【0028】なお、このように最終データとなることを、以降では、「EOF(end of frame)となる」のようにも表現する。

【0029】次に、前記FIFO制御部10は、伝送路から受信デジタルデータRXDを受信するため、入力される書き込み信号FWRに従って、前記受信データFIFO12及び前記受信ステータスFIFO14を制御する。この書き込み信号FWRは、後述するように、前記シリアルパラレル変換部16から出力される。又、前記FIFO制御部10は、具体的には、該FIFO制御部10が有するアドレスレジスタAに応じ、受信された8ビットに分割された1バイトのデータを前記受信データFIFO12へ書き込み、これに対応する6ビットの前記補助情報データを前記受信ステータスFIFO14へ書き込む。このような書き込みは、制御信号CT1及びCT2によって行われる。又、このような書き込みの後、前記アドレスレジスタAに記憶されるアドレスはインクリメント(値を“1”だけ増加)される。

【0030】又、該FIFO制御部10は、外部から入力される読み出し信号FRDによって、受信されたデータやこれに対応する前記補助情報データを、前記受信データFIFO12あるいは前記受信ステータスFIFO14から読み出す際の制御を行う。具体的には、該FIFO制御部10は、内蔵するアドレスレジスタBで指定される前記受信データFIFO12及び前記受信ステータスFIFO14のメモリの読み出しを、制御信号CT1及びCT2を用いて行う。このような1つのデータの読み出しの後には、前記アドレスレジスタBの値はインクリメントされる。

【0031】なお、前記アドレスレジスタA及びBの値は、“0”〜“1023”の値となる。又、これらアドレスレジスタA及びBの初期値は、いずれも“0”であり、順次インクリメントされる。又、“1023”となった後には再び“0”となる。又、前記アドレスレジスタAの値が前記アドレスレジスタBの値を超越してしまうと、前記受信データFIFO12及び前記受信ステータスFIFO14で記憶される未読出しのデータに対して、新しいデータが上書きされてしまい、前述したオーバーランエラーが発生してしまう。このため、これらアドレスレジスタAあるいはBにより、このようなオーバーランエラーを判定する。又、このようなオーバーランエラーが判定されると、該FIFO制御部10は、制御信号OVREを出力する。

【0032】前記シリアルパラレル変換部16は、HDLC手順に従ってビットストリーム状態で伝送路から順次受信される前記デジタルデータRXDを、シリアルパラレル変換する。該シリアルパラレル変換部16は、ビットストリーム状態で受信された前記デジタルデー

RXDを、内蔵する8ビットのシフトレジスタへ順次読み込む。この様に順次読み込まれた前記シフトレジスタの8ビットのビットパターンが、前記フラグA1のHDLC手順で定められたフラグパターン(“01111110”)に一致すると、該シリアルパラレル変換部16は、制御信号FをH状態とする。この後、該シリアルパラレル変換部16は、受信され、又シリアル/パラレル変換された後のパラレルの8ビットのデータRD1を、並列に前記受信データFIFO12へ出力する。

【0033】ここで、該シリアルパラレル変換部16は、前記フラグA1の検出後、前記アドレスA(前記アドレスB2)から前記CRC A6(前記CRC B8)までの期間、パラレルの前記データRD1の出力毎に、図12等を用い詳しく後述する制御信号RE1が“0”となるタイミングで、前記書き込み信号FWRをH状態とする。又、該シリアルパラレル変換部16は、前記フラグA7の検出時にも、前記書き込み信号FWRをH状態とする。なお、該書き込み信号FWRがH状態となる詳しいタイミングについては、図13を用い後述する。

【0034】又、該シリアルパラレル変換部16は、このような前記デジタルデータRXDの受信の際、制御信号EOF及びCRCEを出力する。なお、制御信号EOFの論理状態は、前記図11に示した前記EOFビットB5へ書き込まれる。又、前記制御信号CRCEの論理状態については、前記CRCEビットB3へ書き込まれる。なお、前記FIFO制御部10が出力する前記制御信号OVREについては、この論理状態は前記OVREビットB4へ書き込まれる。

【0035】次に、前記端数情報エンコーダ18は、図12に示す如く、3ビットバイナリカウンタ18aが

【0036】又、前記図12に示される如く、受信クロックRXCは、前記3ビットバイナリカウンタ18aの入力Dに入力される。該受信クロックRXCは、前記デジタルデータRXDと共に、伝送路から受信される。又、前記制御信号Fは、該3ビットバイナリカウンタ18aの入力RSTに入力される。該3ビットバイナリカウンタ18aは、前記入力RSTがH状態となると、カウント中の値がリセットされ、“0”となる。又、該3ビットバイナリカウンタ18aは、前記入力Dの論理状態が立ち上がると、カウント中の値をインクリメントする。又、該3ビットバイナリカウンタ18aのカウント値は、3ビットで前記制御信号RE1として出力される。又、該制御信号RE1は、前記図11の前記REビットB0〜B2に相当し、前記受信ステータスFIFO14へ書き込まれる。

【0037】又、該端数情報エンコーダ18の動作は、図13のタイムチャートに示される如くである。

【0038】まず、前記受信クロックRXCは、伝送路から順次受信され前記シリアルパラレル変換部16へ取

り込まれる前記デジタルデータRXDの各ビットに対応するクロック信号である。又、前記制御信号Fは、前記シリアルパラレル変換部16が前記フラグA1又はA7を受信するとH状態となる。

【0039】従って、図13のタイムチャートに示される如く、時刻t1で前記制御信号FがH状態となると、まず前記3ビットバイナリカウンタ18aがリセットされる。従って、該3ビットバイナリカウンタ18aが出力する前記制御信号RE1の値は“0”となる。

【0040】この後、時刻t2において次の前記受信クロックRXCが入力されると、前記3ビットバイナリカウンタ18aの値がインクリメントされ、“1”となる。この後、時刻t3やt4等と、順次前記受信クロックRXCのクロックが入力されると、該3ビットバイナリカウンタ18aの値は順次インクリメントされる。

【0041】このような該3ビットバイナリカウンタ18aのインクリメントは、前記転送データA4の全てのビットデータの受信に対応し、順次行われる。又、前記図13中例えば時刻t12やt22の如く、該3ビットバイナリカウンタ18aの値が“7”となれば、当該カウンタが3ビットバイナリカウンタであるため、その値は“0”となる。又、この時、前記書き込み信号FWRがH状態となり、前記FIFO制御部10の制御下で、前記受信データFIFO12や前記受信ステータスFIFO14へのデータの書き込みが行われる。特に、前記受信データFIFO12には、前記データRD1が書き込まれる。

【0042】ここで、前記フラグA7が検出されると、例えばこの図13の時刻t31の如く、前記制御信号FがH状態となり、前記書き込み信号FWRがH状態となる。又、この時には、例えばこの図13の前記時刻t31の如く、前記3ビットバイナリカウンタ18aの値、即ち前記制御信号RE1の値は、前述のような端数データのビット数の値Xとなる。これは、該3ビットバイナリカウンタ18aにおける“0”から“7”までのインクリメントが、前記デジタルデータRXDの受信に同期しているためである。なお、端数データのビット数がゼロの場合、前記時刻t31において、前記制御信号RE1の値はゼロである。

【0043】このように、前記図8〜図13を用い説明した従来のデジタルデータ受信装置によれば、例えばHDLC手順に従って伝送路から順次受信される前記デジタルデータRXDを、受信バッファ、具体的には前記受信データFIFO12及び前記受信ステータスFIFO14を用いながら受信することができる。特に、このように受信バッファを備えているため、受信データRD2の読出が遅れたとしても、前述のようなオーバーランエラーが生じない範囲では能率良く伝送路から前記デジタルデータRXDを受信することが可能である。

【0044】又、このようにデジタルデータ受信装置に

あって、前記受信データFIFO12へ一時的に記憶された受信データは、8ビット長の受信データRB2として読み出される。又、このように読み出される各受信データRB2の前記図11に示したような受信ステータスは、前記受信ステータス14から、6ビット長の制御信号STとして読み出すことができる。

【0045】

【発明が達成しようとする課題】しかしながら、前記図9〜前記図13を用い前述した従来のデジタルデータ受信装置にあっては、受信データ8ビットに対し、対応する受信ステータスを記憶するための6ビットを要する。

【0046】具体的には、前記受信データFIFO12に対して備えられる前記受信ステータスFIFO14は、8ビットの受信データそれぞれに対して、前記図11に示したような6ビットの受信ステータスを記憶するメモリを備えなければならない。

【0047】特に、各受信データに対して、よりきめ細かな補助情報を記憶しようとした場合には、このような前記受信ステータスFIFO14の記憶容量は増大してしまう。例えば前記図11に示したような受信ステータスが8ビットへ増加すれば、伝送路から順次受信されたデータを記憶する、受信バッファとして本質的に必要となる前記受信データFIFO12の記憶容量に対して、全体として2倍の記憶容量を要してしまう。

【0048】本発明は、前記従来の問題点を解決するべくなされたもので、受信バッファとして用いるFIFOに必要な記憶容量を削減し、これによりコスト削減等を図ることが可能なデジタルデータ受信装置を提供することを目的とする。

【0049】

【課題を達成するための手段】本発明は、伝送路から順次受信される複数のデジタルデータを、まず受信データFIFOへ一時的に記憶すると共に、受信されたそれぞれの前記デジタルデータ毎に、発生したエラー等に関する情報を表わす補助情報データを、該当する前記デジタルデータに対応させながら受信ステータスFIFOへ一時的に記憶するようにしたデジタルデータ受信装置において、エラー発生等によって、受信された前記デジタルデータが無効データとなってしまった時に、該エラー発生の有無を示す前記補助情報データを生成する補助情報データ生成手段と、前記無効データに代えて前記受信データFIFOへ記憶させるため、発生したエラーに関する詳細情報を生成する詳細情報データ生成手段とを備えたことにより、前記課題を達成したものである。

【0050】又、前記デジタルデータ受信装置において、更に、前記補助情報データに対して、発生し得る複数のエラーの種類間での、発生の有無の相互の排他性に着目し、生成する前記補助情報データのデータ圧縮を行う補助情報データ圧縮手段と、前記受信ステータスFIFOから読み出す、データ圧縮されている前記補助情報

データのデータ伸長を、前記詳細情報を用いて行う補助情報復元手段とを備えたことにより、前記課題を達成すると共に、受信バッファとして用いるFIFOに必要な記憶容量を更に削減したものである。

【0051】又、前記デジタルデータ受信装置において、前記伝送路から順次受信される複数の前記デジタルデータが、HDL C手順に基づいて、ビットストリーム状態で受信されるものであって、前記受信データFIFOが、一連の複数の、それぞれがビット幅Lのワードメモリにより構成され、更に、前記伝送路から順次受信される前記デジタルデータを前記受信データFIFOへ一時的に記憶させる際、ビットストリーム状態の前記デジタルデータを、前記ビット幅Lの長さで順次分割しながら前記受信データFIFOへ書き込むデータ変換手段を備えると共に、該データ変換手段での分割及び前記受信データFIFOへの書き込みの際に、ビットストリーム状態で受信された前記デジタルデータの終端部での、前記ビット幅Lに満たない端数データを前記受信データFIFOへ書き込む端数データ発生時には、該端数データ発生有りを示す前記補助情報データを生成する端数情報生成手段を、前記補助情報データ生成手段に有し、前記端数データ発生時に、前記詳細情報として、前記端数データのビット数Nを示す情報を生成する端数ビット数情報生成手段を、前記詳細情報データ生成手段に有していることにより、前記課題を達成すると共に、HDL C手順に基づいた受信データを取り扱うことに対応し、前述のような端数データに関する情報を前記補助情報データとして記憶するFIFOに必要な記憶容量の削減をも図ったものである。

30 【0052】

【作用】前述した従来例の如く、従来では、伝送路から順次受信された前記デジタルデータRXDに関するデータについては、専用の前記受信データFIFO12へと一時的に記憶するようにしている。一方、これとは明確に区別し、前記デジタルデータRXDの受信の際発生するエラー等に関する補助情報については、前記受信データFIFO12とは独立した、専用の前記受信ステータスFIFO14へ記憶するようにされている。

40 【0053】このように、従来においては、前記受信データFIFO12の利用目的及び前記受信ステータスFIFO14の利用目的とは明確に区別されている。

【0054】ここで、本発明においては、伝送路から前記デジタルデータRXDを受信する際、例えばエラー等が発生してしまうと、この時受信した該デジタルデータRXDは無効な、又無意味なデータとなってしまうことに着目している。又、本発明においては、このようにエラーの発生等によって、受信されたデータが無効データとなってしまうときには、受信された該デジタルデータRXDを記憶するメモリを他に流用して、より有効に使用している。

50

11

【0055】即ち、本発明においては、前記受信データFIFO12の利用目的と、前記受信ステータスFIFO14の利用目的とは、従来のようには明確に区別せず、前記受信データFIFO12についても、発生したエラーに関する情報等の補助情報を記憶するようにしている。これによって、このような補助情報を記憶する前記受信ステータスFIFOに必要な記憶容量を削減することができる。

【0056】具体的には、エラー発生等によって、受信された前記デジタルデータが前述のように無効データとなってしまう時には、前記受信ステータスFIFOへと、該エラー発生の有りの補助情報データのみ記憶するようにする。即ち、該受信ステータスFIFO14には、このように発生したエラーの詳細な情報については記憶しない。

【0057】一方、このように発生してしまったエラー等に関する、より詳細な情報については、発生したエラーによって無効データとなってしまったデータに代えて、前記受信データFIFO12に記憶するようにしている。エラーが発生し受信された前記デジタルデータRXDが無効データとなれば、このような無効データを前記受信データFIFO12へ記憶することは無意味である。従って、このような無効データに代えて、発生したエラーの種類などの、より詳細な情報を前記受信データFIFO12へ記憶させる。又、このように詳細な情報を記憶させたことは、前記受信ステータスFIFO14に記憶された、このようなエラー発生の有無の前記補助情報データにて識別することができる。

【0058】従って、本発明によれば、エラー発生等に関する情報を、前記受信ステータスFIFO14だけでなく、前記受信データFIFO12も用いて記憶させることができる。従って、このようにメモリを共用するので、全体として、受信バッファとして用いるFIFOに必要な記憶容量を削減し、これによりコスト削減等を図ることが可能である。

【0059】なお、前述のような補助情報データとして対象となるものには、文字通りのエラーに関する情報に限定されるものではない。即ち、エラー発生等の状態に拘らず、何等かの状態が発生した場合、この時の受信データの少なくとも一部ビットが無効データとなれば、同様に本発明を適用することが可能である。

【0060】例えば、後述する従来例においては、発生したエラーに関するより詳細な情報を、まず無効データに代えて前記受信データFIFO12へ書き込むようにしている。更に、この実施例では、HDLC手順を用いる場合の、前記端数データに関する情報をも書き込むようにしている。即ち、前記端数データにあつては、伝送路から受信された前記デジタルデータRXDによる端数のビットデータ以外は、無効なビットデータとなる。従って、後述する実施例では、前記受信ステータスFIFO

12

O14へは前記端数データであるか否かの前記補助情報データのみを書き込み、具体的な前記端数データのビット数Nに関する情報は前記受信データFIFO12へ書き込むようにしている。このため、従来のような前記端数データのビット数Nを示す情報を前記受信ステータスFIFO14に記憶する必要がなく、この分、受信バッファとして用いるFIFOに必要な記憶容量を削減することができる。

【0061】なお、前述のように、本発明においては、前記受信ステータスFIFO14には、エラー等が発生した場合の、その発生したエラーに関する詳細な情報は記憶せず、単に発生したエラーの有無に関する情報のみ記憶するようにしている。ここで、例えばいくつかのエラーの種類に着目した場合、共に同時には発生し得ない組合せが存在する。このように、発生するエラーの種類の間での、発生の有無の排他性がある場合がある。このような場合には、例えば、後述する実施例の如く、複数のエラーの種類における、エラー発生の有無の組合せパターンを把握し、各組合せパターンに対して符号付けを行うことで、エラー発生の有無を示す前記補助情報データのデータ圧縮を行うことが可能である。

【0062】例えばHDLC手順に基づいて伝送路から受信されるデータを取り扱う後述する実施例では、エラーが発生したか否かと、端数データが発生したか否かとに加え、EOFであるか否かも含め、このような3つの特定の状態の発生の有無を、2ビットの前記補助情報データのみで識別するようにしている。このようなデータ圧縮によって、この実施例では、本来3ビット必要な前記補助情報データを2ビットに削減している。

【0063】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0064】図1は、本発明が適用されたデジタルデータ受信装置の実施例の構成を示すブロック図である。

【0065】本実施例のデジタルデータ受信装置においては、この図1に示されるFIFO制御部10と受信データFIFO12と、シリアルパラレル変換部16と、端数情報エンコーダ18とは、前記図9等を用い前述した従来例と同一のハード構成のものが用いられている。

【0066】又、この図1の受信ステータスFIFO14は、後述するようなデータ圧縮を行わない場合には、(3ビット×1024ワード)のRAMが用いられる。一方、該受信ステータスFIFO14は、データ圧縮を行う場合、(2ビット×1024ワード)のRAMを用いる。

【0067】このような構成に加え、本実施例においては、更に、ステータスエンコーダ22と、セクタ24と、ステータスデコーダ26とを有する。

【0068】前記セクタ24は、入力S、0及び1と、出力Rを有する。該セクタ24は、前記入力Sへ

入力される信号に従って、前記入力0あるいは前記入力1のいずれか一方を選択し、選択された入力の論理状態を前記出力Uへと出力する。即ち、前記入力SへL状態が入力されると、前記入力0へ入力される論理状態を前記出力Uへ出力する。一方、前記入力SへH状態が入力されると、前記入力1へ入力される論理状態を前記出力Uへと出力する。

【0069】次に、前記ステータスエンコーダ22は、図2に示す如く、補助情報データ生成手段22dと、詳細情報データ生成手段22eとにより構成される。

【0070】これら補助情報データ生成手段22d及び詳細情報データ生成手段22eには、前記シリアルパラレル変換部16が出力する前述した制御信号EOF及びCRCEと、前記FIFO制御部10が出力する前述した制御信号OVREと、前記端数情報エンコーダ18が出力する前述した3ビットの制御信号RE1が入力されている。又、前記補助情報データ生成手段22dからは、前記受信ステータスFIFO14へ記憶させる2ビットのステータス信号RS1が出力される。なお、該ステータス信号RS1のMSB側の1ビットの信号、即ちステータス信号RS1<1>は、前記セクタ24に入力し、該セクタ24の切換え選択に用いる。なお、前記ステータス信号RS1のLSB側がRS<0>であり、MSB側がRS<1>である。又、前記詳細情報データ生成手段22eは、前記セクタ24に入力され、該セクタ24の選択によって前記受信データFIFO12へ入力され書き込まれるデータ信号ECDを出力する。

【0071】まず、前記補助情報データ生成手段22dについて、この構成は図3に示すとおりである。この図3に示される如く、前記補助情報データ生成手段22dは、3つの負論理の入力を有するNAND論理ゲート22aと、OR論理ゲート22bと、論理回路22cとにより構成されている。該論理回路22cについては、図4の線図に示す真理値表に示されるような論理機能を有し、前記ステータス信号RS1を出力する。

【0072】なお、本実施例において前記受信ステータスFIFO14へ記憶させるステータス信号をデータ圧縮しない場合、該ステータス信号は3ビットの信号となる。即ち、この3ビットの該ステータス信号は、前記NAND論理ゲート22aが出力する制御信号Rと、前記シリアルパラレル変換部16が出力する前記制御信号EOFと、前記OR論理ゲート22bが出力する制御信号ER2である。この場合、前記論理回路22cについては、前記ステータス信号RS1<1>を生成する機能のみ備えれば良い。

【0073】なお、前記受信ステータスFIFO14へ記憶されるステータス信号をデータ圧縮する場合、本実施例では2ビットのステータス信号となる。即ち、この2ビットのステータス信号は、前記ステータス信号RS

1である。

【0074】HDLC手順においては、EOFのときにのみ、前記端数データが発生する。従って、EOFのときにのみ、端数データの有無が意味をもつ。このため、前記制御信号EOFがH状態のときにのみ、前記制御信号Rが意味をもつので、このEOFのときにのみ該制御信号Rの状態を判断できればよい。本実施例ではこのような点に着目し、前記制御信号R、EOF及びER2の3ビットを、2ビットの前記制御信号RS1へとデータ圧縮している。このようなデータ圧縮によって、前記受信ステータスFIFO14を、本来(3ビット×1024ワード)の記憶容量が必要となる、(2ビット×1024バイト)の記憶容量とすることができ、合計1024ビットの記憶容量の削減が可能となっている。

【0075】次に、前記詳細情報データ生成手段22eは、前記制御信号CRCEあるいはOVREの少なくともいずれか1つがH状態となると、図5に示すような詳細情報データECDを生成する。該詳細情報データECDは、前記セクタ24に入力される。特に、これら制御信号CRCEあるいはOVREのいずれか1つがH状態となると、前記論理回路22cが出力する前記ステータス信号RS1<1>がH状態となるので、前記セクタ24は前記生成詳細情報データECDを選択する。従って、前記詳細情報データ生成手段22eが出力する前記生成詳細情報データECDは、前記シリアルパラレル変換部16が出力する前記受信データRD1に代えて、前記受信データFIFO12へ書き込まれる。

【0076】この詳細情報データECDは、この図5に示す如く、ビットB5には前記制御信号OVREの論理状態が書き込まれる。ビットB6には、前記制御信号CRCEの論理状態が書き込まれる。ビットB7には、前記オーバーランエラー又は前記CRCエラー発生時の、前記制御信号EOFの論理状態が書き込まれる。このように、該詳細情報データECDは、これら制御信号CRCEあるいはOVREの少なくともいずれか1つがH状態となり、前記CRCエラー又は前記オーバーランエラーの少なくともいずれか1つが発生した場合に、どのエラーあるいはEOFが発生したか識別するための詳細情報データとなっている。

【0077】なお、前記CRCエラー又は前記オーバーランエラーのいずれも発生しない場合、EOFが発生したとしても、前記詳細情報データECDは生成されない。従って、前記受信ステータスFIFO14へは、このようなEOFが発生したことを示す情報を記憶する。

【0078】次に、前記詳細情報データ生成手段22eは、前記端数データ発生有り且つEOFの場合には、図6のNo. 2～8に示される受信データECDHを生成する。なお、この図6のNo. 1は、前記端数データ発生なしの場合である。

【0079】このように前記端数データ発生有りの場合

には、この図6にも示されるように、前記図3に示した前記ステータス信号RS1(1)もH状態となる。従って、前記セレクト24は、この図6のNo. 2~8の前記詳細情報データECDを選択し、これを前記受信データFIFO12へと書き込む。

【0080】ここで、この図6の前記受信データECDに示す“x”は、端数データのうちの、伝送路から受信される前記デジタルデータRXDに従った前記データRD1の有効なデータ部分である。これに対して、該図6の受信データECDにおいて、“0”又は“1”で示されるビットは、無効ビットデータに対して、この無効ビットデータであることを示すビットパターンを示す。本実施例においては、前記端数データ発生有りに際しては、有効ビットデータに隣接する無効ビットデータを“0”とし、これ以外の無効ビットデータは全て“1”としている。

【0081】ここで、前記受信ステータスFIFO14へ記憶される前記制御信号RあるいはRS1によって、端数データ発生有りが識別された場合、前記受信データFIFO12へ記憶される前記受信データECDについて、最もLSB(least significant bit)側の“0”を認識すれば、このビットよりMSB(most significant bit)側のビットは受信データとして有効なビットデータとなる。

【0082】このように、本実施例においては、端数データ発生有りの場合、前記受信ステータスFIFO14には、この端数データ発生有りを識別できる範囲の情報のみ記憶させている。又、前記受信データFIFO12に記憶される前記端数データで何ビットが有効なビットデータであるかについては、該受信データFIFO12へ書き込まれる該端数データの無効ビットデータへと、所定のビットパターンを書き込むことで識別できるようにしている。従って、前記受信ステータスFIFO14へは、前記11の前記RE1ビットデータB0~B2のような、複数ビットの、より詳細な情報を書き込む必要がなく、該受信ステータスFIFO14の記憶容量の削減を図ることが可能となっている。

【0083】次に、図7は、前記ステータスデコードを示す論理回路図である。

【0084】該ステータスデコード26は、必要に応じ前記受信データFIFO12から呼び出される受信データRD2のうちの3ビット、即ちRD5、RD6及びRD7を用いながら、前記受信ステータスFIFO14から読み出されるステータス信号RS2(2ビットの各ビットはLSB側がRS20であり、MSB側がRS21である)に従って、制御信号REOF、RCRCE及びROVRE、又、3ビットの制御信号RE2を出力する。

【0085】なお、この図7において、制御信号RS20は、前記受信ステータスFIFO14が出力する前記

ステータス信号RS2のLSB側である。又、制御信号RS21は、前記ステータス信号RS2のMSB側である。

【0086】前記制御信号REOFは、EOF発生を示す。前記制御信号RCRCEは、CRCエラー発生を示す。前記制御信号ROVREは、オーバランエラー発生を示す。又、前記制御信号RE2は、前記図6にも示される前記端数情報エンコード18が出力する前記制御信号RE1と同様であり、前記端数データの有効なビット数Nを示す。

【0087】まず、この図7に示す如く、前記ステータスデコード26は、一方の入力が負論理のAND論理ゲート26aと、AND論理ゲート26c、26d、26f、26gと、エクスクルーシブOR論理ゲート26bと、OR論理ゲート26eと、端数コードエンコード26hとにより構成されている。

【0088】なお、該端数コードエンコード26hは、プライオリティエンコードが用いられている。これによって、前記図6に示す前記詳細情報データECDと同等の、前記受信データFIFO12から読み出される前記受信データRD2から、前記制御信号RE2(前記図6のRE1に相当)を生成することができる。

【0089】例えば、前記図6の前記詳細情報データECDと前記制御信号RE1との対応から明らかな如く、前記受信データRD2の最もLSB側が“0”の場合、前記制御信号RE2(又RE1)は“111(2進数)”となる。LSBから2番目のビットが“0”の場合、“110”となる。LSB側から3ビット目が“0”の場合、前記制御信号RE2は“101”となる。

【0090】又、この図7に示される前記ステータスデコード26は、前記エクスクルーシブOR論理ゲート26bと前記AND論理ゲート26c及び26d、又前記OR論理ゲート26eにて、EOFの発生の有無を示す前記制御信号REOFを生成している。

【0091】次に、前記AND論理ゲート26cは、前記制御信号RS20及びRS21に基づいて、前記CRCエラーあるいは前記OVRエラーの発生を判定している。又、前記AND論理ゲート26fと前記AND論理ゲート26cの出力によって、CRCエラー発生を示す前記制御信号RCRCEを生成している。更に、前記AND論理ゲート26gと前記AND論理ゲート26cの出力とで、前記OVRエラーを示す前記制御信号ROVREを生成している。

【0092】又、これら制御信号REOF、RCRCE及びROVREの生成に際しては、前記図5の前記ビットB5~B7と同様に割り付けられた、前記受信データFIFO12から読み出される前記受信データRD2のビットB5~ビットB7のビットデータRD5~RD7が用いられている。

【0093】以上説明したとおり、本実施例によれば、本発明を適用して前記受信ステータスFIFOへは前記EOF発生の有無、あるいは前記オーバーランエラーの発生の有無、あるいは前記CRCエラーの発生の有無のみに基づいた、よりデータ圧縮されたビットデータのみを記憶させている。又、EOFあるいはどのエラーが発生したかに関しては、前記受信データFIFO12に記憶したデータを用いている。このため、前記受信ステータスFIFO14の1ワード当りのビット長を、より短縮することができている。例えば、前記図9等に示した従来1ワード当り6ビットであった前記受信ステータスFIFO14を、1ワード当り3ビット、あるいは1ワード当り2ビットへと、記憶容量を縮小することができている。従って、前記受信ステータスFIFO14については、 $((6-3) \times 1024 = 3072)$ ビットの記憶容量の削減、あるいは $((6-2) \times 1024 = 4096)$ ビットの記憶容量の削減が可能となっている。

【0094】

【発明の効果】以上説明したとおり、本発明によれば、受信バッファとして用いるFIFOに必要な記憶容量を削減し、これによりコスト削減等を図ることができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図1】本発明が適用されたデジタルデータ受信装置の実施例の構成を示すブロック図

【図2】前記実施例に用いられるステータスエンコーダの構成を示すブロック図

【図3】前記実施例の前記ステータスエンコーダに用いられる補助情報データ生成手段を示す論理回路図

【図4】前記実施例の前記ステータスエンコーダの前記詳細情報データ生成手段の機能を示す真理値表の線図

【図5】前記実施例の前記ステータスエンコーダから受

信データFIFOへ書き込まれるエラーに関するデータを示す線図

【図6】前記実施例の前記ステータスエンコーダから受信データFIFOへ書き込まれる端数データに関するデータを示す線図

【図7】前記実施例に用いられるステータスデコーダの論理回路図

【図8】HDL C手順の電文のフォーマットを示す線図

【図9】従来のデジタルデータ受信装置の構成を示すブロック図

【図10】前記実施例あるいは前記従来例のデジタルデータ受信装置における受信データFIFOへ取り込まれたデータ構成を示す線図

【図11】前記従来例の受信ステータスFIFOにおけるビットデータの構成を示す線図

【図12】前記実施例あるいは前記従来例に用いられる端数情報エンコーダを示す論理回路図

【図13】前記端数情報エンコーダの動作を示すタイムチャート

【符号の説明】

10…FIFO制御部

12…受信データFIFO

14…受信ステータスFIFO

16…シリアルパラレル変換部

18…端数情報エンコーダ

18a…3ビットバイナリカウンタ

22…ステータスエンコーダ

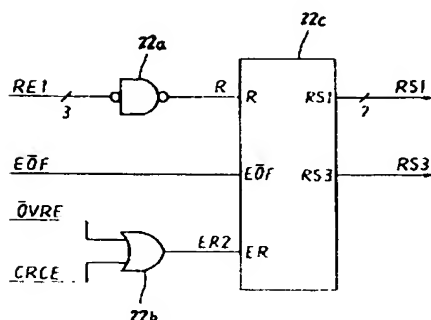
22d…補助情報データ生成手段

22e…詳細情報データ生成手段

24…セレクタ

26…ステータスデコーダ

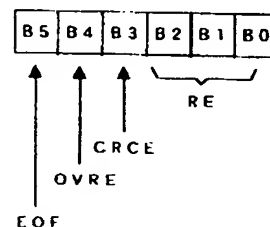
【図3】



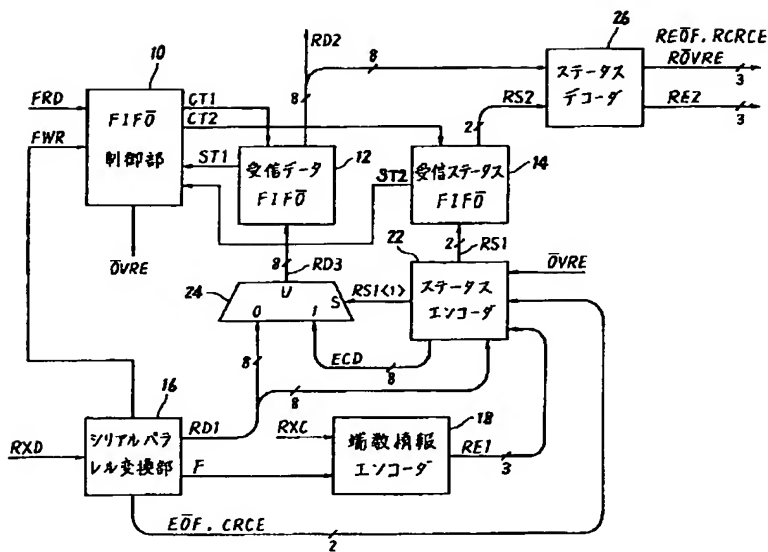
【図4】

NO.	ER2	EOF	R	RS1 MSB	LSB
1	0	0	0	00	
2	0	0	1	なし	
3	0	1	0	01	
4	0	1	1	10	
5	1	0	0	11	
6	1	0	1	11	
7	1	1	0	11	
8	1	1	1	11	

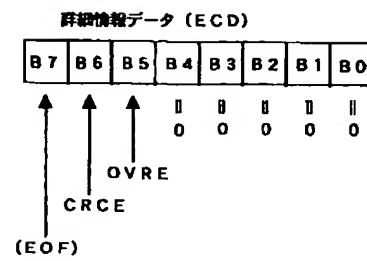
【図11】



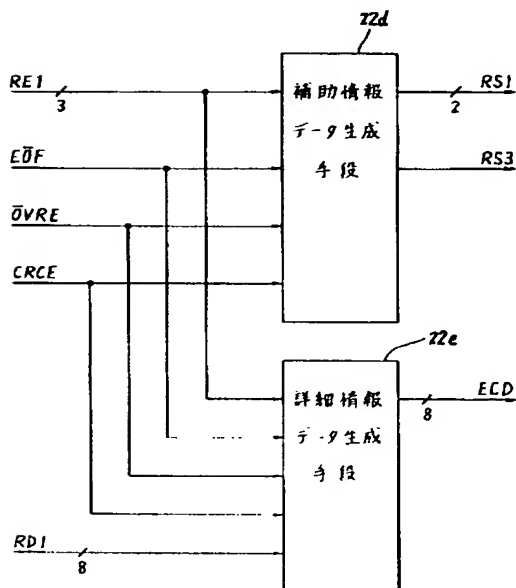
【図1】



【図5】



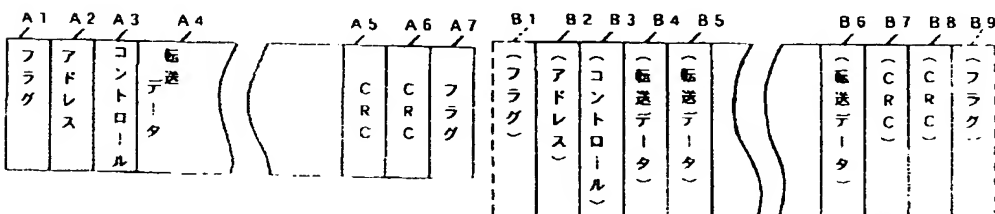
【図2】



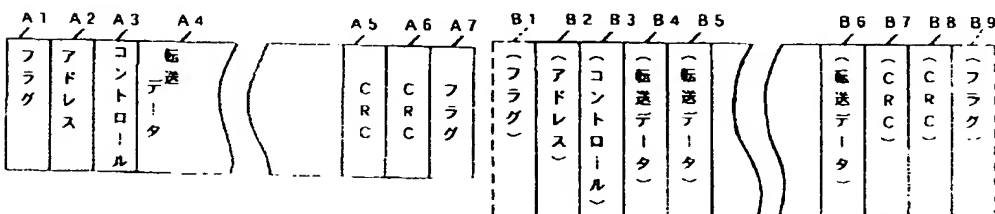
【図6】

No.	端数ビット (N)	生成受信データ (ECD)		端数情報 (RE1)	
		MSB	LSB	MSB	LSB
1	8	xxxx	xxxx	000	
2	7	xxxx	xxx0	111	
3	6	xxxx	xx01	110	
4	5	xxxx	x011	101	
5	4	xxxx	0111	100	
6	3	xxx0	1111	011	
7	2	xx01	1111	010	
8	1	x011	1111	001	

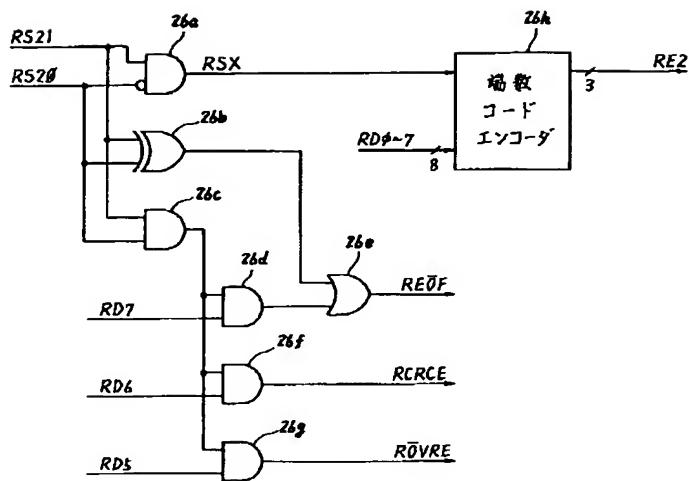
【図8】



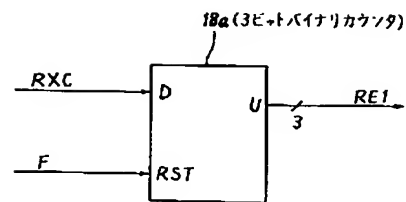
【図10】



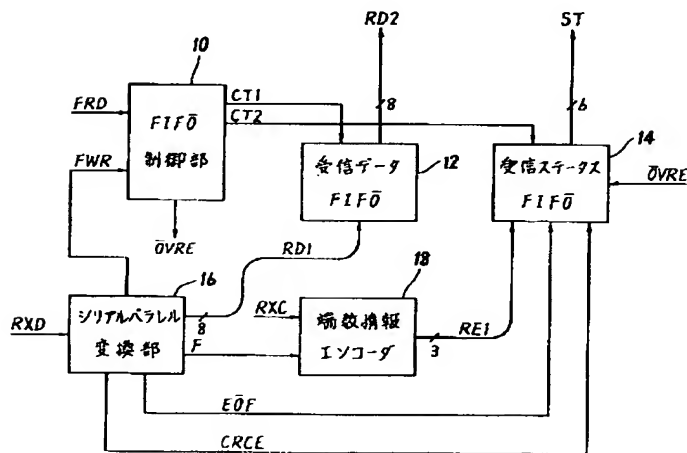
【図7】



【図12】



【図9】



【図13】

